

Testing instrument for integrated semiconductor circuits

Patent Number: DE4433906
Publication date: 1995-03-23
Inventor(s): KIM KYUNG SUB (KR); PARK BUM YEUL (KR); LEE JIN HYUK (KR)
Applicant(s): SAMSUNG ELECTRONICS CO LTD (KR)
Requested Patent: ☐ DE4433906
Application Number: DE19944433906 19940922
Priority Number(s): KR19930019260 19930922
IPC Classification: G01R31/28
EC Classification: G01R1/04S3
Equivalents: ☐ JP7106038, KR9707971

Abstract

A testing instrument according to the invention contains an upper mounting plate for applying a multiplicity of integrated circuit units onto the upper surface of the upper mounting plate and having a multiplicity of pins which extend from the lower surface of the upper mounting plate, and a lower mounting plate for combination with the upper mounting plate by means of the pins, fitted into a multiplicity of grooves formed respectively in a multiplicity of supports which fit into the lower mounting plate, in which the pins are connected via connecting circuit conductors formed in the upper mounting plate to outer supply lines of the integrated circuit unit, and have greater separations in the lower position than in the upper position.

Data supplied from the **esp@cenet** database - I2





①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Offenlegungsschrift**
⑩ **DE 44 33 906 A 1**

⑤① Int. Cl.⁶:
G 01 R 31/28

②① Aktenzeichen: P 44 33 906.2
②② Anmeldetag: 22. 9. 94
④③ Offenlegungstag: 23. 3. 95

DE 44 33 906 A 1

③⑩ Unionspriorität: ③② ③③ ③①
22.09.93 KR 93-19260

⑦① Anmelder:
Samsung Electronics Co., Ltd., Suwon, KR

⑦④ Vertreter:
Frhr. von Pechmann, E., Dipl.-Chem. Dr.rer.nat.;
Behrens, D., Dr.-Ing.; Brandes, J., Dipl.-Chem.
Dr.rer.nat.; Goetz, R., Dipl.-Ing. Dipl.-Wirtsch.-Ing.;
von Hellfeld, A., Dipl.-Phys. Dr.rer.nat., Pat.-Anwälte;
Würtenberger, G., Dr., Rechtsanw., 81541 München

⑦② Erfinder:
Lee, Jin Hyuk, Seoul/Soul, KR; Kim, Kyung Sub,
Seoul/Soul, KR; Park, Bum Yeul, Seoul/Soul, KR

⑤④ Testgerät für integrierte Halbleiterschaltungen

⑤⑦ Ein Testgerät gemäß der Erfindung beinhaltet eine obere Fassungsplatte zum Anbringen einer Vielzahl von integrierten Schaltungseinheiten auf der oberen Oberfläche der oberen Fassungsplatte und mit einer Vielzahl von Stiften, die sich von der unteren Oberfläche der oberen Fassungsplatte aus erstrecken, und eine untere Fassungsplatte zum Kombinieren mit der oberen Fassungsplatte mittels der in eine Vielzahl von jeweils in einer Vielzahl von Stützen, die in der unteren Fassungsplatte stecken, geformten Nuten eingesetzten Stifte, worin die Stifte über in der oberen Fassungsplatte geformte verbindende Schaltungsleiter mit äußeren Zuleitungen der integrierten Schaltungseinheit verbunden sind und an der unteren Position weitere Abstände haben als an der oberen Position.

DE 44 33 906 A 1

Hintergrund der Erfindung

1. Bereich der Erfindung

Die vorliegende Erfindung bezieht sich allgemein auf Verfahren zum Testen integrierter Halbleiterschaltungen und besonders auf Strukturen zum Testen integrierter Halbleiterschaltungen ohne Testfassung.

2. Beschreibung des Stands der Technik

Für integrierte Standard-Halbleiterschaltungen sollte im allgemeinen das Absolvieren verschiedener Tests nötig sein, um die Bauelement-Zuverlässigkeit sicherzustellen. Kurz gesagt gibt es zwei wichtige Zuverlässigkeitstests: der Test der elektrischen Eigenschaften dient zum Verifizieren des Übertragungszustands zwischen Signalen, die in die Anschlüsse, die alle mit einem Testsignalgenerator verbunden sind, hineinkommen und aus diesen herauskommen; und der Voralterungstest dient zum Verifizieren der Lebensdauer und zum Detektieren einiger Defekte der Chips unter hinsichtlich Temperatur, Spannung und ähnlichem beanspruchender Bedingungen als den normalen Betriebsbedingungen. Um die Testgeschwindigkeit und -genauigkeit zu verbessern, sind fortschrittlichere und verschiedene Testaufbauten vorgeschlagen worden. Die Testaufbauten können gemäß den Strukturen der integrierten Schaltungseinheiten variiert werden.

In einem dünnen kleinen Rahmengehäuse (abgekürzt als TSOP) oder einem flachen Viereckgehäuse (abgekürzt als QFP) sollen die äußeren Zuleitungen einer integrierten Schaltungseinheit in einer Fassung geformte Fassungsstifte gegen eine Testplatte drücken, um so damit elektrisch verbunden zu werden.

Bezugnehmend auf Fig. 1 und Fig. 2, die jeweils wohlbekannte Aufbauten zum Testen eines kleinen Rahmen-J-Bend-Gehäuses (abgekürzt als SOJ) oder eines kunststoffummantelten Chipträgers (abgekürzt als PLCC) zeigen, sind Fassungskörper 4 auf Fassungplatten 3 in einer Leistungsplatte 2 angebracht, welche auf einer Ladeplatte 1 angebracht ist. Jeder der Fassungskörper 4 beinhaltet einen Vertiefungsteil 5, um eine integrierte Schaltungseinheit 7 aufzunehmen.

Wie in Fig. 2 gezeigt sind an den beiden Innenwänden des Vertiefungsteils 5 elastische Fassungsstifte 6 angebracht. Während der Test durchgeführt wird, wird die Einheit 7 "tot" (eine Art des Einsetzens, bei der, wenn eine Einheit in einer Fassung untergebracht wird, ihre externen Zuleitungen nach oben zeigen) in den Vertiefungsteil 5 eingesetzt und dann werden die äußeren Zuleitungen 8 durch die Federkraft der Fassungsstifte 6 gehalten.

Die Verwendung eines derartigen herkömmlichen Testverfahrens, welches die Verbindung zwischen den externen Zuleitungen und den Fassungsstiften mittels der Federkraft der Fassungsstifte herstellt, führt zu einigen Nachteilen, wie beispielsweise einer schlechten elektrischen Verbindung wegen zu großer oder nicht ausreichender Federkraft, Beschädigung der Fassungsstifte wegen wiederholter Testschritte und langsames und zeitaufwendiges Verfahren wegen der häufigen Ersetzung der Fassungen.

Die mangelhafte elektrische Verbindung tritt besonders in Verbindung mit TSOP oder QFP häufig auf, was

bewirkt, daß die Zuverlässigkeit der Testfunktion stark gesenkt wird.

Außerdem kann der herkömmliche Aufbau wegen der niedrigen Testgenauigkeit bei einer Gehäusestruktur mit vielen oder nahe aneinanderliegenden äußeren Stiften nicht für integrierte Schaltungen hoher Dichte geeignet sein. Die hinsichtlich der Schaltungen mit hoher Dichte beschriebenen Probleme sind in den letzten Jahren verstärkt worden, da sich die Komplexität der Gehäusestruktur erhöht hat.

Ein weiteres, im U.S. Patent Nr. 4,747,784 beschriebenes Verfahren stellt einen Testaufbau für den Oberflächenaufbautest bereit. Obwohl die Reschädigungen der äußeren Anschlüsse und das häufige Ersetzen der Fassungen vermieden werden, hat das Verfahren einige Beschränkungen darin, daß die externen Zuleitungen flexibel sein müssen, um während des Testens ein Kreis zu sein, aber für einen zusätzlichen Abgleichschritt gerade zurückgebogen zu werden. Die patentierte Architektur zum Testen ist auch sowohl in ihrer Struktur als auch in ihrem Herstellungsprozeß kompliziert.

Es ist folglich ein Ziel der vorliegenden Erfindung, ein Testgerät bereitzustellen, welches Tests für integrierte Schaltungen ohne Beschädigung der äußeren Anschlüsse ausführt.

Es ist ein anderes Ziel der vorliegenden Erfindung, ein Testgerät für integrierte Schaltungseinheiten hoher Dichte bereitzustellen.

Es ist ein weiteres Ziel der vorliegenden Erfindung, ein Testgerät bereitzustellen, welches einen Test mit hoher Rate für integrierte Schaltungseinheiten einschließlich verschiedener Gehäusetypen ausführt.

Zusammenfassung der Erfindung

Das Testgerät gemäß der Erfindung beinhaltet eine obere Fassungssplatte zum Befestigen einer Vielzahl von integrierten Schaltungseinheiten auf der oberen Oberfläche der oberen Fassungssplatte und mit einer Vielzahl von Stiften, die sich von der unteren Oberfläche der oberen Fassungssplatte aus erstrecken, wobei die Stifte über in der oberen Fassungssplatte geformte verbindende Schaltungsleiter mit den äußeren Zuleitungen der integrierten Schaltungseinheit verbunden sind und an unteren Positionen größere Abstände haben als an oberen Positionen, und eine untere Fassungssplatte zum Kombinieren mit der oberen Fassungssplatte mittels Stiften, die in eine Vielzahl von Nuten eingesetzt werden, die jeweils in einer Vielzahl von Stützen geformt sind, die in der unteren Fassungssplatte stecken.

Die obere Fassungssplatte beinhaltet viellagige gedruckte Leiterplatten mit den verbindenden Schaltungsleitern und die Abstände zwischen den verbindenden Schaltungsleitern sind bei der unteren gedruckten Leiterplatte größer als bei der oberen gedruckten Leiterplatte. Auf der oberen Oberfläche der oberen Fassungssplatte ist eine Vielzahl von Puffern geformt, um die integrierte Schaltungseinheit aufzunehmen und auf dem Umfang der Puffer ist eine Vielzahl von Anschlüssen geformt, um die externen Zuleitungen über die verbindenden Schaltungsleiter mit den Stiften zu verbinden. Die Stützen sind leitend und mit Kabeln zur Übertragung von Testsignalen verbunden.

Die vorangehenden und andere Ziele, Eigenschaften und Vorteile der Erfindung werden aus der folgenden und genaueren Beschreibung der bevorzugten Ausführungsformen der Erfindung, wie sie in den beigefügten Zeichnungen dargestellt ist, ersichtlich werden.

Kurze Beschreibung der Zeichnungen

Fig. 1 ist eine perspektivische Ansicht, die ein herkömmliches Testgerät zeigt.

Fig. 2 ist eine detaillierte Querschnittsansicht, welche den Testaufbau bezüglich des Geräts von Fig. 1 zeigt.

Fig. 3 ist eine perspektivische Ansicht eines Testgeräts gemäß der vorliegenden Erfindung.

Fig. 4 ist eine Querschnittsansicht entlang der Linie X-X in Fig. 3.

Fig. 5 ist eine Querschnittsansicht einer oberen Fassungsplatte von Fig. 3.

Fig. 6 ist eine perspektivische Ansicht einer unteren Fassungsplatte von Fig. 3, und

Fig. 7 ist eine vergrößerte Querschnittsansicht entlang der Linie Y-Y in Fig. 6.

Ausführliche Beschreibung der bevorzugten Ausführungsform

Bezugnehmend auf Fig. 3 ist eine Vielzahl von Fassungsplatten 35, von denen jede aus oberen und unteren Fassungsplatten 34 und 33 besteht, auf einer Unterbringungsplatte 32 angeordnet, welche auf einer Ladeplatte 31 angebracht ist. Es ist möglich, die oberen und unteren Fassungsplatten miteinander zu verbinden oder voneinander zu trennen.

Die obere Fassungsplatte 24 ist bezugnehmend auf Fig. 4 aus einer Vielzahl von Schichten aus gedruckten Leiterplatten 41 aufgebaut. Auf der oberen Oberfläche der oberen Fassungsplatte 24 ist eine Vielzahl von Befestigungs-Anschlußflächen 36 in Form eines Matrixfeldes angeordnet, um eine Vielzahl von integrierten Schaltungseinheiten darauf anzuordnen.

Bezugnehmend auf Fig. 5, die den vergrößerten Aufbau der oberen Fassungsplatte detailliert zeigt, ist eine Vielzahl von Befestigungspuffern 49 aus Gummi auf der oberen Oberfläche der oberen Fassungsplatte 24 angeordnet, um so die darin zu testenden integrierten Schaltungseinheiten 48 unterzubringen und festzuhalten. Am Umfang eines jeden Befestigungspuffers 49 ist eine Vielzahl von Verbindungsanschlüssen 47 angeordnet, um in Kontakt mit den externen Zuleitungen 50 der integrierten Schaltungseinheit 48 zu kommen. Die Verbindungsanschlüsse 47 sind über verbindende Schaltungsleiter in den gedruckten Leiterplatten 41 mit Verbindungsstiften 42 verbunden, die aus der unteren Oberfläche der oberen Fassungsplatte 34 herausragen.

Bezugnehmend auf Fig. 6 besitzt die untere Fassungsplatte 33 eine Vielzahl von Verbindungsnuten 46, die jeweils in einer Vielzahl von Verbindungsstützen 52 geformt sind, welche durch eine elastische Platte 51 in der unteren Fassungsplatte 33 stecken. Die Verbindungsstützen 52 sind wie in Fig. 7 gezeigt über eine Vielzahl von Verbindungskabeln 53 mit der Unterbringungsplatte 32 und der Ladeplatte 31 verbunden. Die Verbindungsstützen 52 bestehen aus leitendem Material. Die Stifte 42 werden während des Tests in die Nuten 46 der Stützen 52 eingesetzt.

Es sollte angemerkt werden, daß die Abstände zwischen den verbindenden Schaltungsleitern auf den gedruckten Leiterplatten 41 wie in Fig. 5 gezeigt bei einer unteren gedruckten Leiterplatte größer sein müssen als bei der oberen gedruckten Leiterplatte, was sowohl einen Aufbau einer Stiftstruktur mit hoher Teilung oder einen Aufbau mit vielen verbundenen Stiften leicht erlaubt, als auch den Aufbau der Struktur für den Test vereinfacht.

Da die oberen und unteren Fassungsplatten miteinander verbunden oder voneinander getrennt werden können, können zusätzlich nur durch Verändern der oberen Fassungsplatte Einheiten mit verschiedenen Gehäusetypen an das Testgerät gemäß der vorliegenden Erfindung angepaßt werden. Deshalb können die Kosten für die Bedienung des Testgeräts gesenkt werden.

Außerdem kommen die externen Zuleitungen 50 der zu testenden integrierten Schaltungseinheit 48 mit den Verbindungsanschlüssen 47 auf der oberen Fassungsplatte 34 ohne jegliche Krafteinwirkung, die wie beim Stand der Technik eine physikalische Beschädigung der Zuleitungen bewirkt, in Kontakt.

Die Erfindung kann auch in bestimmten anderen Formen ausgeführt werden, ohne von ihrem Sinn oder wesentlichen Eigenschaften abzuweichen. Die vorliegende Ausführungsform muß deshalb in jeglicher Hinsicht als beispielhaft und nicht einschränkend betrachtet werden, wobei der Bereich der Erfindung durch den anhängenden Anspruch statt durch die vorangehende Beschreibung aufgezeigt wird und es ist deshalb beabsichtigt, daß alle Veränderungen, die in die Nähe der Bedeutung und des Äquivalenzbereichs der Ansprüche kommen, darin eingeschlossen werden.

Patentansprüche

1. Testgerät, mit einer oberen Fassungsplatte (34) zum Anbringen einer Vielzahl von integrierten Schaltungseinheiten auf der oberen Oberfläche der oberen Fassungsplatte (34) und mit einer Vielzahl von sich von der unteren Oberfläche der oberen Fassungsplatte (34) aus erstreckenden Stiften; und eine untere Fassungsplatte (33) zum Verbinden mit der oberen Fassungsplatte (34) mittels der in eine Vielzahl von jeweils in einer Vielzahl von Ständern, die auf der unteren Fassungsplatte (33) stecken, geformten Nuten (46) eingesetzten Stifte (52), worin die Stifte (52) mit äußeren Zuleitungen der integrierten Schaltungseinheit über verbindende Schaltungsleiter (53) verbunden sind, die in der oberen Fassungsplatte (34) geformt sind und an ihrem unteren Ende weitere Abstände haben als an ihrem oberen Ende.
2. Testgerät gemäß Anspruch 1, worin die obere Fassungsplatte (34) viellagige gedruckte Leiterplatten (41) mit verbindenden Schaltungsleitern umfaßt, wobei die Abstände zwischen den verbindenden Schaltungsleitern bei der unteren gedruckten Leiterplatte (41) größer sind als bei der oberen gedruckten Leiterplatte (41).
3. Testgerät gemäß Anspruch 1, worin auf der oberen Oberfläche der oberen Fassungsplatte (34) eine Vielzahl von Puffern geformt ist, um die integrierte Schaltungseinheit unterzubringen und auf dem Umfang der Puffer eine Vielzahl von Anschlüssen geformt sind, um die externen Zuleitungen über die verbindenden Schaltungsleiter mit den Stiften zu verbinden.
4. Testgerät gemäß Anspruch 1, worin die besagten Stützen leitend sind und mit Kabeln zur Übertragung von Testsignalen verbunden sind.

Hierzu 3 Seite(n) Zeichnungen

FIG. 1

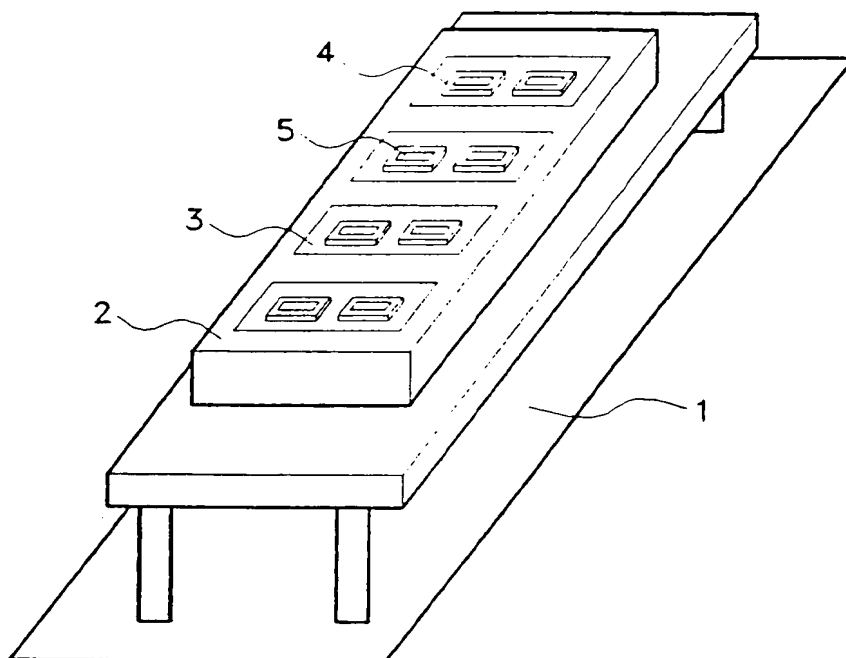


FIG. 2

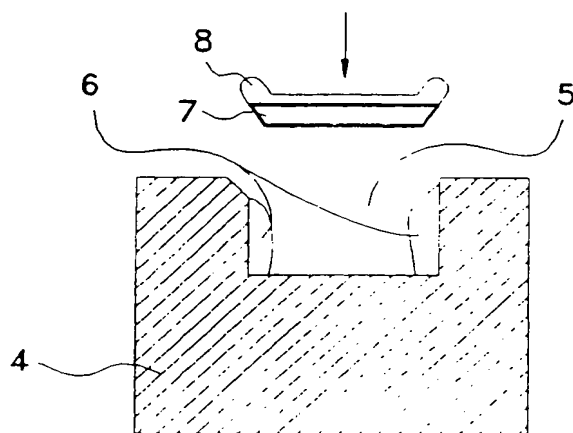


FIG. 3

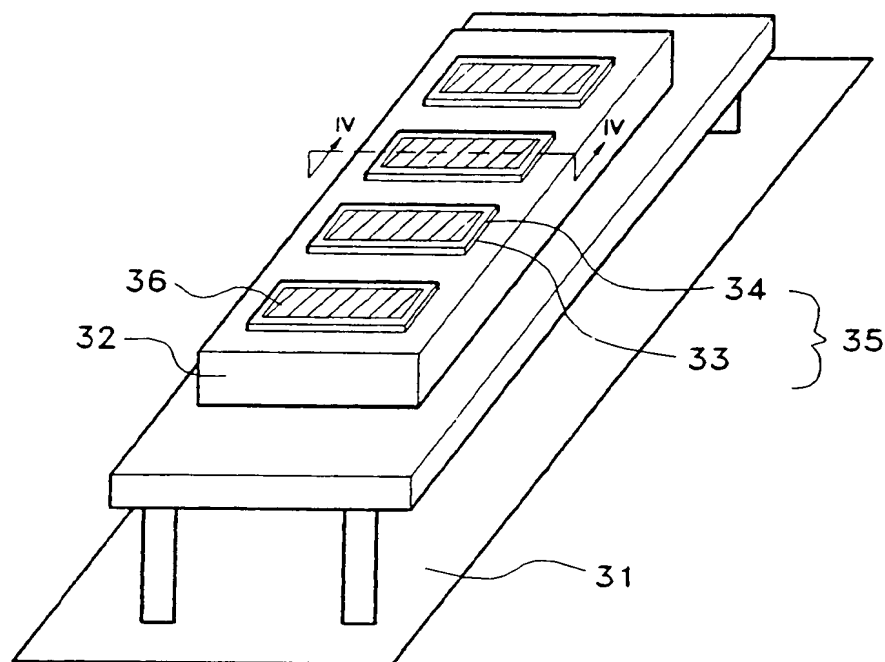


FIG. 4

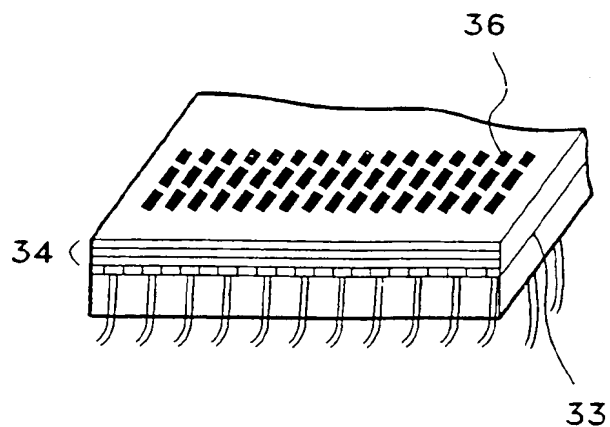


FIG. 5

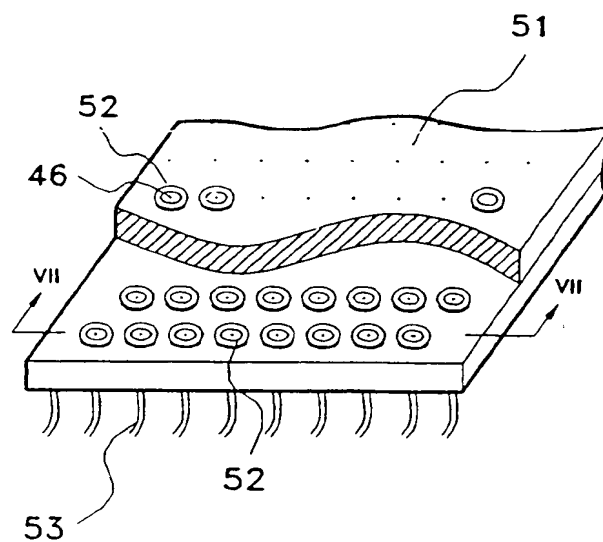


FIG. 6

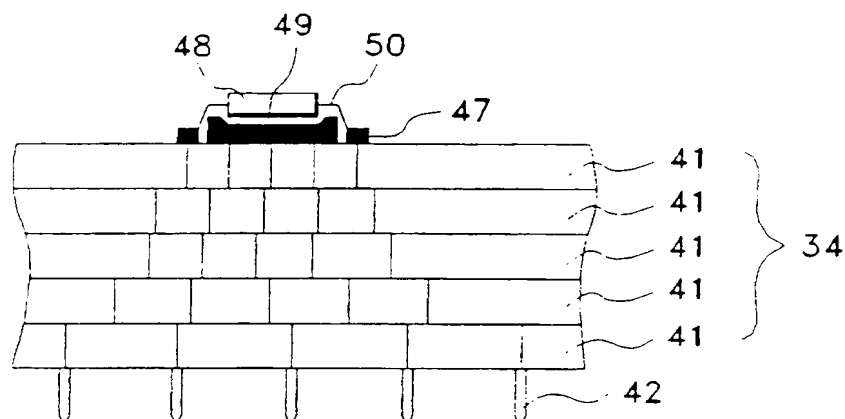


FIG. 7

